

1、电阻电容的封装形式如何选择，有没有什么原则？比如，同样是 104 的电容器有 0603、0805 的封装，同样是 10 μ F 电容器有 3216、0805、3528 等封装形式，选择哪种封装形式比较合适呢？

2、有时候两个芯片的引脚(如芯片 A 的引脚 1,芯片 B 的引脚 2)可以直接相连，有时候引脚之间(如 A-1 和 B-2)之间却要加上一片电阻，如 22 欧，请问这是为什么？这个电阻有什么作用？电阻阻值如何选择？

3、耦合电容如何布置？有什么原则？是不是每个电源引脚布置一片 0.1 μ F？有时候看到 0.1 μ F 和 10 μ F 联合起来使用，为什么？

4、所谓 5V TTL 器件、5V CMOS 器件是指什么含义？是不是说该器件电源接上 5V，其引脚输出或输入电平就是 5V TTL 或者 5v CMOS？

[答]:

1、电阻电容的封装与元件的规格有关，简而言之，对于电阻，封装与阻值（容值）和功率有关，功率越大，封装尺寸越大；对于电容，封装与容值和耐压有关，容值和耐压越高，封装尺寸越大。经验之谈，0603 封装的电容，容值最大为 225 (2.2 μ F)，10 μ F 的电容，应该没有 0805 的封装，而 3216, 3528 的封装与耐压和材料有关，建议你根据具体元件参考相应的 Datasheet。

2、在芯片的引脚连线之间串入电阻，多见于信号传输上，电阻的作用是防止串扰，提高传输成功率，有时也用来作为防止浪涌电流。电阻值一般较小，低于 100 欧姆。

3、耦合电容应尽可能靠近电源引脚。耦合电容在电源和地之间的有两个作用：一方面是蓄能电容，避免由于电流的突变而使电压下降，相当于滤纹波，故又称为去藕。另一方面旁路掉该器件的高频噪声，故又称为旁路。数字电路中典型的去耦电容值是 0.1 μ F。这个电容的分布电感的典型值是 5 μ H。0.1 μ F 的去耦电容有 5 μ H 的分布电感，它的并行共振频率大约在 7MHz 左右，也就是说，对于 10MHz 以下的噪声有较好的去耦效果，对 40MHz 以上的噪声几乎不起作用。0.1 μ F、10 μ F 的电容并联使用，共振频率在 20MHz 以上，去除高频噪声的效果要好一些，较好的兼顾了去藕和旁路。经验上，每 10 片左右 IC 要加一片 1 个耦合电容，可选 1 μ F 左右。最好不用铝电解电容，电解电容是两层薄膜卷起来的，这种卷起来的结构在高频时表现为电感。要使用钽电容或聚碳酸酯电容。去耦电容的选用，可按 $C=1/F$ ，10MHz 取 0.1 μ F，100MHz 取 0.01 μ F。

4、泛泛地讲，5V TTL 器件和 5V CMOS 器件统称为 5V 器件，可以讲该器件电源接上 5V，其引脚输出或输入电平就是 5V TTL 或者 5V CMOS。但 TTL 和 CMOS 器件由于材料的不同，导致其驱动能力、功耗、上升时间、开关速度等参数迥异，分别适用不同的场合。

[问]:

1、我是刚学习单片机系统设计的，感觉有很多地方都是按经验值来选择电阻电容的。比如，去藕电容一般是 0.1 μ F，上下拉电阻一般是 4.7K--10K，晶振起振电路电容好像一般为 22pF；还有，电阻的封装选择说是要按功率来说，可是怎么计算具体需要多大功率的电阻呢？我看很多设计中好像就是经验，大多使用 0805 或者 0603，电容好像也差不多，耐压电

压稍微选大点应该就没问题？

2、USB 插座电路，有一个电容： $0.01\mu\text{F}/2\text{KV}$ ，有这么高的耐压电压电容吗？为什么在这里需要使用这么高的耐压电容？

3、何谓扇入、扇出、扇入系数及扇出系数？

[答]：

1、关于电容的选择，与频率关系较为密切。以晶振的匹配电容为例，主要用来匹配晶体和振荡电路使电路易于启振并处于合理的激励态下，对频率也有一定的“微调”作用，若频率为 11.0592MHz ，则该电容取 30pF ；当频率为 22.0184MHz ，则取 22pF 。另外，上拉电阻一般取值是 $4.7\text{--}10\text{K}$ ，而下拉电阻一般取值是 $10\text{K--}100\text{K}$ 。

至于电阻的额定功率的选择，一般取 0.25W 或 0.125W ，此时封装多为 0805 或者 0603 ；但若用于电流检测或限流作用时，需取 $0.5\text{W--}3\text{W}$ ，封装尺寸肯定大了， 3216 ， 3528 都有可能。

2、 $0.01\mu\text{F}/2\text{KV}$ ，多数为陶瓷电容或聚丙烯电容，应是安规电容，用于电源滤波器，起 EMC 及滤波作用。所谓的安规电容，是指用于这样的场合：即电容器失效后，不会导致电击，不危及人身安全。

3、扇入系数，是指门电路允许的输入端数目。一般门电路的扇入系数 N_r 为 $1\text{--}5$ ，最多不超过 8 。若芯片输入端数多于实际要求的数目，可将芯片多余输入端接高电平($+5\text{V}$)或接低电平(GND)。扇出系数，是指一个门的输出端所驱动同类型门的个数，或称负载能力。一般门电路的扇出系数 N_c 为 8 ，驱动器的扇出系数 N_c 可达 25 。 N_c 表征了门电路的负载能力。