

如今的**开关稳压器**和电源越来越紧凑，性能也日益强大，而越来越高的开关频率是设计人员面临的主要问题之一，正是它使得 PCB 的设计越来越困难。事实上，PCB 版图已经成为区分好与差的开关电源设计的分水岭。本文针对如何一次性创建优秀 PCB 版图提出一些建议。

考虑一个将 24V 降为 3.3V 的 3A 开关稳压器。设计这样一个 10W 稳压器初看起来不会太困难，设计人员可能很快就可以进入实现阶段。不过，让我们看看在采用 Webench 等设计软件后，实际会遇到哪些问题。如果我们输入上述要求，Webench 会从若干 IC 中选出“Simpler Switcher”系列中的 LM2576(一款包括 3A FET 的 42V 输入器件)。该芯片采用带散热垫的 TSSOP-20 封装。

Webench 菜单中包括了对体积或效率的设计优化。设计需要大容量的电感和电容，从而需要占用较大的 PCB 空间。Webench 提供如表 1 的选择。

228mm <sup>2</sup>	231mm <sup>2</sup>	281mm <sup>2</sup>	289mm <sup>2</sup>	1224mm <sup>2</sup>
78%	79%	81%	81%	84%

表 1:

值得注意的是，最高效率是 84%，且此最高效率是当输入-输出间的压差很低时实现的。此例中，输入/输出比大于 7。一般情况下，可以用两级电路来降低级与级之间的比率，但通过两个稳压器实现的效率不会更好。

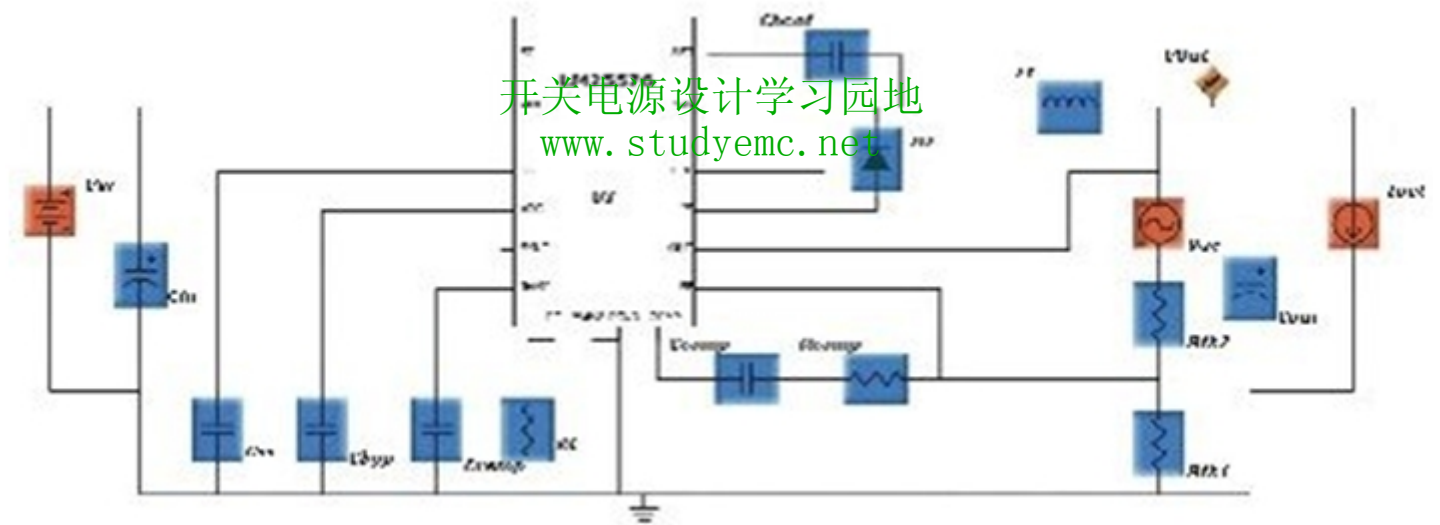


图 1: 通过两个稳压器实现的效率不会更好。

接着，我们选 PCB 面积最小的最高开关频率。高开关频率最可能在版图方面产生问题。Webench 可以生成带全部有源和无源器件的电路图。

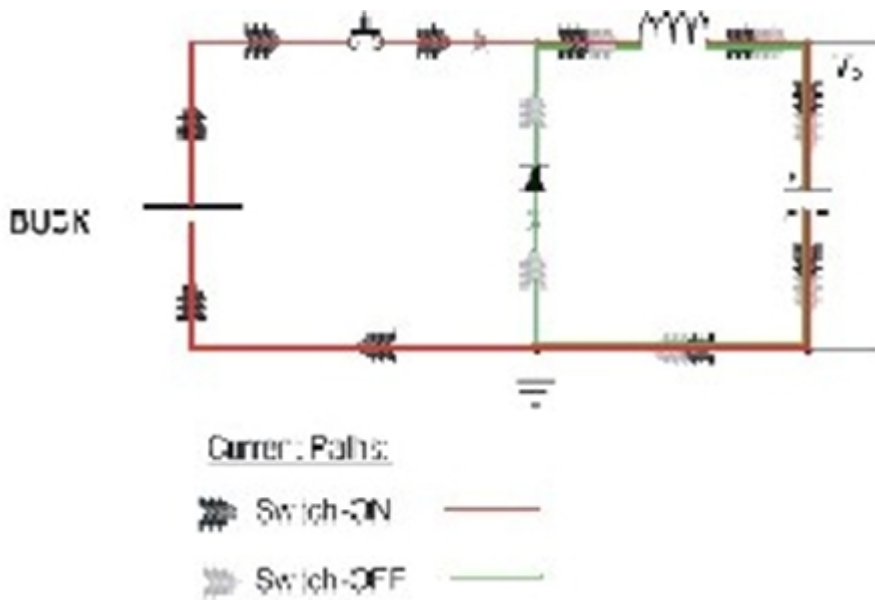


图2：简化的开关电源电路图。

图2所示的简化电路图对了解基本情况帮助甚大。看一看电流通路：把FET在导通状态下的回路标记为红色；把FET在截至状态下的回路标记为绿色。我们可以观察到两种不同情况：有两种颜色的区域和仅一种颜色的区域。我们必须特别关注后一种情况，因此时电流在零和满量程之间交替变化。这些是具有高 $di/dt$ 的区域。

高 $di/dt$ 的交变电流将在PCB导线周围产生显著的磁场，该磁场将成为该电路内其它器件甚至同一或邻近PCB上其它电路的主要干扰源。假定这不是交变电流，那么公共电流通路并不是太重要， $di/dt$ 的影响也小得多。另一方面，随着时间变化，这些区域将承载更大负载。本例中，从二极管阴极到输出以及从输出地到二极管阳极就是公共通路。当输出电容器充放电时，该电容会产生很高的 $di/dt$ 。连接输出电容的所有线段必须满足两个条件：因为电流大，因此它们的宽度要宽；为了最小化 $di/dt$ 的影响，它们必须尽量短。

开关电源设计学习园地  
www.studyemc.net

### PCB 版图设计要点

实际上，设计人员不应采用把导线从 $V_{out}$ 和地引至电容的方法实现所谓的传统版图。这些导线将承载很大的交变电流，因此将输出和地直接连至电容端子是个更好的方法。这样交替变化的电流仅表现在电容上。连接电容的其它导线现在承载的几乎是恒定电流，因而与 $di/dt$ 相关的任何问题得到了很好的解决。地是另一个经常被误解的难题。简单地在“第2层”放置一个地平面，并将全部地线连接到这一层不会有很好的效果。

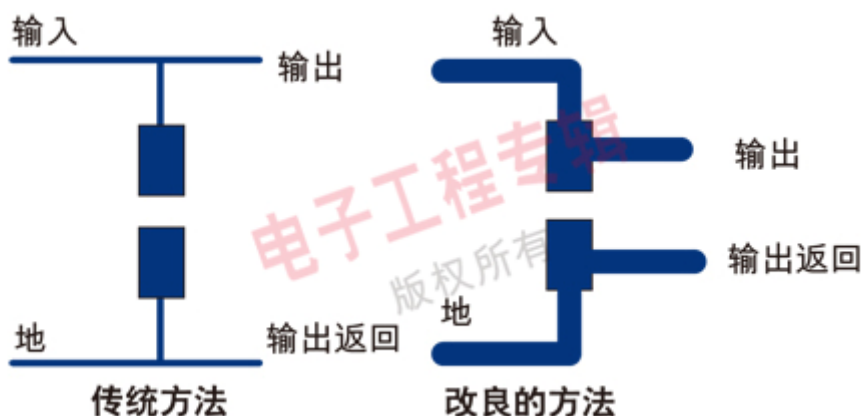


图3：将输出和地直接连至电容端子是个更好的方法。

让我们看看为什么。我们的设计例子有高达3A的电流必须从地流回源(一个24V汽车电池或一个24V电源)。在二极管、 $C_{OUT}$ 、 $C_{IN}$ 和负载的地连接处会有较大电流，而开关稳压器的地连接流经的电流小。同样情况也适用于电阻分压器的参考地。若上述全部地引脚都连至一个地平面，将出现地线反弹现象。虽然很小，但电路中的敏感点(如借以获得反馈电压的电阻分压器)将不会有稳定的参考地。这样，整个稳压精度将受到极大影响。实际上，隐藏在第二层地平面中的源还会产生“振铃”现象，而且非常难以定位。

此外，大电流连接必定用到连接地平面的过孔，而过孔是另一个干扰和噪声源。把 CIN 地连接作为电路输入和输出侧所有大电流地导线的星型节点是个较好的解决方案。这个星型节点连接地平面和两个小电流地连接(IC 和分压器)。

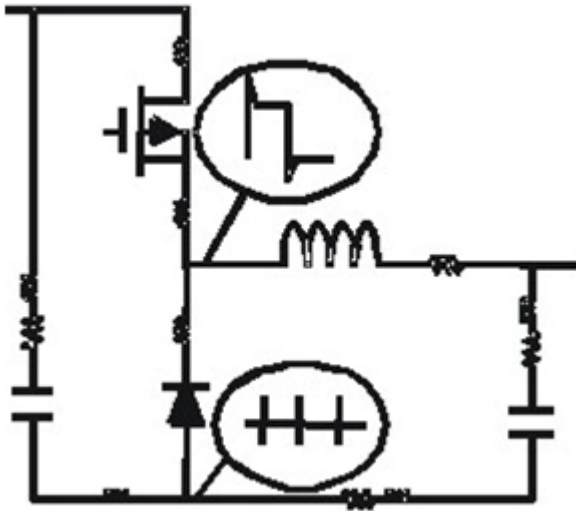


图 4:

现在地平面会很洁净：没有大电流、没有地线反弹。所有大电流地是以星型连接到 CIN 地。所有设计人员必须要做的事是使(全部在 PCB 顶层的)地导线尽可能短而粗。

需要检查的节点是那些高阻抗节点，因为它们很容易被干扰。最关键节点是 IC 的反馈管脚，其信号取自电阻分压器。FB 管脚是放大器(如 LM25576)或比较器(如采用磁滞稳压器的场合)的输入。在两种情况 FB 点的阻抗都相当高。因此，电阻分压器应放置在 FB 管脚的右侧，从电阻分压器中间连一条短导线到 FB。从输出到电阻分压器的导线是低阻抗的，可用较长导线连至电阻分压器。这里要紧的是布线方法而非导线长度。而其它节点就并非如此关键了。所以不必担心开关节点、二极管、COUT、**开关电源设计学习园地**。

[www.studyemc.net](http://www.studyemc.net)

### 布线方法

布线方法将给电阻分压器带来差别。该导线从 COUT 连至电阻分压器，它的地回到 COUT。我们必须确保该回路不形成一个开放区域。开放区域会起到接收天线的作用。如果我们能保证导线下的地平面没有干扰，那么由导线和导线下的地以及第 1 层和第 2 层之间的一段距离围成的区域应该也是没有干扰的。现在明白了，为什么地不应放在第 4 层，因为距离显著增加了。

另一种方法是将电阻分压器的地连接布线在第 1 层，并且使两条导线并行并尽可能靠近以使区域更小。这些观点适用于信号流经的全部导线：传感器连接、放大器输出、ADC 或音频功放的输入。应对每个模拟信号进行处理，以减少它们拾取噪声的可能性。

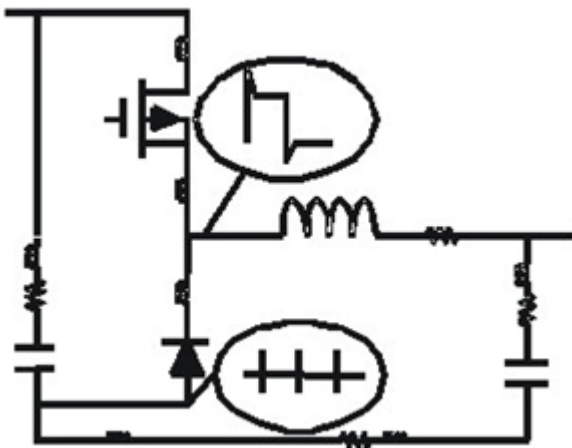


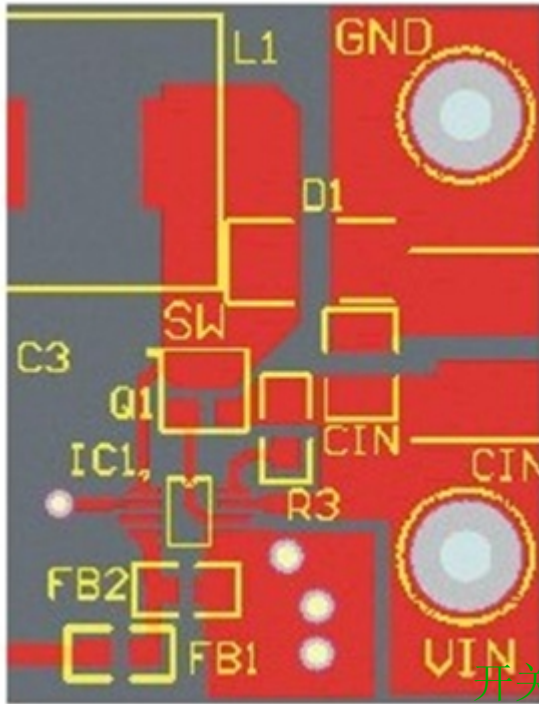
图 5:

只要有可能就尽量缩小开放的电路板区域面积的要求对低阻抗导线也同样适用；在这种情况下我们有一个潜在的向

PCB 其它部分或其它设备发射干扰信号的源(“天线”)。需要重申的是, 开放电路板区域面积越小越好。

另外两条导线也很关键, 第一条是从 IC 的开关输出到二极管和电感节点; 第二条是从二极管到该节点。这两条导线无论是在开关导通还是二极管流过电流时都有很高的  $di/dt$ , 所以这些导线应尽可能短而粗。从该节点到电感以及从电感到 COUT 的导线就不那么关键。在本例中, 电感电流相对恒定而且变化缓慢。我们所要做的是确保它是低阻抗点以最小化压降。

### 实际样例分析



开关电源设计学习园地  
[www.studyemc.net](http://www.studyemc.net)

图 6: 比较好的开关电源版图设计。

图 6 是一个比较好的版图设计。主要元件是一款与外部 FET 配合使用并采用 MSOP-8 封装的控制器。注意 CIN 附近的区域, 该电容的接地点直接连至二极管阳极。你无法使“电源地”内的导线更短! FET[SW]可向上移动几毫米以缩短阴极-电感-FET 之间的导线。

COUT 区域是看不到的。但我们可观察到电阻分压器(FB1- FB2)非常接近该 IC。FB2 与另一个独立的地平面连接, IC 的地管脚也作同样处理。利用三个过孔把“信号”地连至地平面, 而“电源”地也是利用三个过孔连接 PCB 的 GND 脚。这样, “信号”地就看不到“电源”地上发生的任何地线反弹。

如果你能遵循上述几个简单规则, 你的 PCB 版图设计将更为顺利。在开始版图设计前, 花点时间仔细考虑 PCB 版图设计将会起到事半功倍的效果, 能帮助你节省今后解决开关电源中出现异常行为的时间。

作者: Juergen Kuehnel

美国国家半导体公司